

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-222633
(43)Date of publication of application : 30.08.1996

(51)Int.CI.

H01L 21/768
H01L 21/318

(21)Application number : 07-053391

(71)Applicant : YAMAHA CORP

(22)Date of filing : 17.02.1995

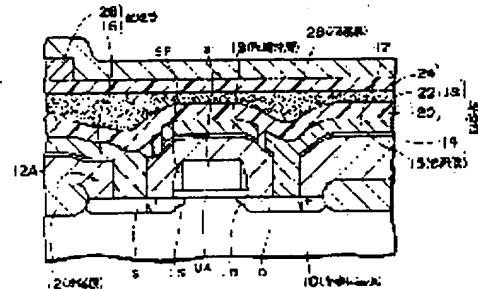
(72)Inventor : YAMAHA TAKAHISA
HIRAIDE SEIJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent the hot carrier resistance deterioration due to moisture and to reduce an interface state density in a semiconductor device having a MOS transistor.

CONSTITUTION: After a MOS transistor having a gate electrode layer G on the surface of a semiconductor substrate 10, an interlayer insulating film 14 and a shielding film 15 are sequentially formed thereon. After desired connecting holes are formed on the film 14 and 15, wiring layers 16, 17 and a wiring material layer 19 are formed. The layers 16, 17, 18 are all made of Al alloy layers having a Ti layer as the lowermost layer. After an interlayer insulating film 18 is formed to cover the layers 16, 17, 19, a wiring layer 26 is formed thereon. The film 18 includes a spin-on glass film 22, and contains moisture. The layer 19 prevents the moisture diffusion from the film 18 to the electrode layer G. The layer 15 prevents the occlusion of moisture concerned seed (H_2O , OH^- , H^+) to the Ti layer of the layer 19.



LEGAL STATUS

[Date of request for examination] 15.10.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2797994

[Date of registration] 03.07.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(15) 日本国特许厅 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

井開平8-222633

(48)公開日 平成8年(1996)3月30日

(51) Int.Cl.^a
H 01 L 21/108
21/318

鉴别记录

F

HULL 21/90
21/318

技術發示館

(21) 出版發行

苏图平7-53891

(22) 出版目

平成7年(1995)2月17日

第2章 第3回 諸次項の第1 FD (全 6 頁)

(71) 出署人 000004075

ヤマハ癡余集

福岡県糸島市中沢町10番1号

(72) 梁昭考 11 集 献久

中華人民共和國

禁物

卷四

平山 梅白
热因倒着热衷中

静岡県浜松市中央町10番2号、100-0002
TEL: 053-421-1111

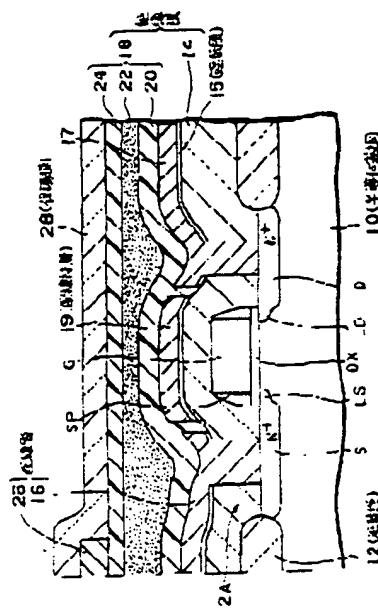
卷之三十一 金理上 金理 下

(54) (番町の名所) 半導体基盤

(57) [要約]

【目的】 MOS型トランジスタを有する半導体装置において、水分によるホットキャリア耐性劣化を防ぎ且つ界面遮離の低減を図る。

(構成) 半導体基板10の表面にゲート絶縁層Gを有するMOS型トランジスタを形成した後、その上に層間絶縁膜14及び遮蔽膜15を順次に形成する。所望の接続孔を膜14、15に設けた後、配線層16、17及び配線被覆層19を形成する。層16、17、19は、いずれも最上層としてT₁層を有するAl合金層等から成る。層16、17、19を複数層して層間絶縁膜18を形成した後、その上に配線層26を形成する。膜18は、スピネル・オキシ・ガラス膜22等を含むもので、水分を含有する。層19は、膜18から遮蔽膜14への水分拡散を防ぎ、膜15は、層19のT₁層に水分開通部(H₂O、OH⁻、H⁺)が吸収されるのを防ぐ。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】基板と、

この基板の表面に形成されたMOS型トランジスタ上、このMOS型トランジスタを覆って前記基板の表面に形成された第1の層間絶縁膜と、

この第1の層間絶縁膜の上に前記MOS型トランジスタのゲート電極膜を覆って形成された水分遮蔽防止用の配線材層であって、最下層としてチタン層を有するものと、

前記第1の層間絶縁膜の上に前記配線材層を覆って形成され、水分を含有する第2の層間絶縁膜とを備えた半導体装置であつて、

前記第1及び第2の層間絶縁膜の接触を確実した状態で前記第1の層間絶縁膜と前記チタン層との間に水分遮蔽膜層を介在配置したことをおおむねとする半導体装置。

【発明の詳細な説明】

【0001】

【本発明の利用分野】この発明は、MOS型トランジスタを有するLSI等の半導体装置に適用し、特に水分を含有する層間絶縁膜からゲート電極膜への水分侵入を配線材層で阻止してホットキャリア耐性劣化を防止すると共に配線材層の最下層としてのチタン層による水分漏れ率(H_2O 、 O_2 、 H^+)の吸収を阻止して界面活性の低減を可能としたものである。

【0002】

【従来の技術】従来、MOS型LSI等における層間絶縁膜の平坦化技術としては、スピンドル・テン・ガラス(SOG)等の絶縁膜を層間絶縁膜中に含ませうものが知られている。

【0003】図3は、この種の平坦化技術を利用したMOS型LSIの一部を示すものである。シリコンからなる半導体基板10の表面には、ゲート絶縁膜Gを介してゲート電極膜Gを形成した後、イオン注入処理等により低不純物濃度のN型のソース領域LS及びドレイン領域LDを形成する。そして、絶縁膜Gの両側にサイドスペーサーSPを形成した後、イオン注入処理等により高不純物濃度のN+型のソース領域LS及びドレイン領域LDをそれぞれ領域LS及びLDに連続して形成する。

【0004】次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って絶縁膜14を形成する。絶縁膜14としては、例えばCVD(ケミカル・ベーパー・デポジション)法により形成したSiO₂(ボロン・リンケイ酸ガラス)膜が用いられる。

【0005】次に、ソースエミッタート、ドレインコンタクト等に対応する接続孔を絶縁膜14に形成した後、基板上面に配線材層を被覆してバーニングすることにより1層目の配線層としてのソース配線層16及びドレイン配線層17を形成する。配線層16、17としては、例えば図3で層16について示すように下から順に上

層16a、TaN層16b、Al合金(例えばAl—Ti—Cu)層16c及びTiN層16dを複層したのが用いられる。また層16eは、コンタクト抵抗を低減するためのもので、TiN層16eは、バリア性を有するもの、TiN層16fは、ホトリソグラフノ加工時に蒸気炉を防止するためのものである。

【0006】次に、絶縁膜14の上に配線層19、17を覆って層間絶縁膜18を形成する。絶縁膜18としては、例えばテトラ・エトキシ・シリコン(TEOS)を用いるプラズマCVD法によりシリコンオキサイド膜20を形成した後、その上に同種塗布法等によりSOG膜22を平坦状に形成し、さらにその上にTEOSを用いたプラズマCVD法によりシリコンオキサイド膜24を形成したものが用いられる。

【0007】その後、絶縁膜18の上に2層目の配線層22を形成し、その上に保護膜26を形成し、水蒸を含む空気中で400℃で程度までヒート処理を行なう。保護膜26としては、例えばプラズマCVD法により形成したシリコンナイトライド膜が用いられる。

【0008】

【発明が解決しようとする課題】上記した従来技術によると、層間絶縁膜18及び、吸湿性があり水分の多いもののG膜22等の絶縁膜を含んでいたため、絶縁膜18からゲート電極層に水分が拡散し、MOS型トランジスタのホットキャリア耐性を劣化させるという問題点がある。

【0009】このような問題点に対処するため、不願の発明発明者は、図4に示すような構成の半導体装置を先に提出した(特許平6-047164号参照)。図4において、図3と同様の部分には同様の符号を付して詳細な説明を省略する。

【0010】図4の装置が図3の装置と異なるのは、配線層16、17の形成工程を省略してゲート電極膜Gを覆うように配線材層19を絶縁膜14上に形成したことである。この場合、配線材層19は、例えば図5に示したような構成を有するもので、配線層16、17のいずれか一方に連続していくもしく、あるいは配線層16、17から分離されていてもよい。

【0011】図4の構成によると、配線材層19から電極膜Gへの水分侵入を配線材層19で阻止することができる。しかしながら、最終アーナル処理で界面活性を十分に低減できないという問題点があつたことが判明した。

【0012】次の表1は、図3、4の各トランジスタ毎に作成されたサンプル1～4について絶縁膜16、17及び配線材層19の構成並びに層間絶縁膜18の構成を示すものである。

【0013】

【表1】

BEST AVAILABLE COPY

(3)

特開平8-222633

サンプル	1	2	3	4
図3の16,17又は 図4の18,19,20	TIN/AI合金/TIN/Ti Ti = 20nm			WSL/AI合金/WSL Ti = 40nm
24 図3又は 図4の10	TEOS	TEOS	TEOS	TEOS
22	SOG	SOG除去	SOG除去	SOG除去
20	TEOS	TEOS	TEOS	TEOS

ここで、図16, 17, 19に示すP/Q/Rのよう
な表記は、下から順にP層、Q層、R層を積層したもの
であることを表わし、T1=Tiは、T1層の厚さを、
「A1合金」は、A1-Si-Cu合金をそれぞれ表わす。
また、絶縁膜1-3に關し、「TEOS」は、TEO
Sを用いるアラバマCVD法で形成したシリコンオキシ
ド膜を、「SOG」は、その過程で、「SOG」の際
は、SOG膜を形成した後エッチバック処理で除去した
ことをそれぞれ表わす。

【0014】絶縁膜1-4は、厚さ7.50μmのSOG

膜とした。また、シリコンオキシド膜2-0, 2-4の厚
さは、いずれも5.00nmとし、SOG膜2-2の厚さ
は、5.00nmとした。さらに、保護膜2-8は、厚さ1
.000nmのシリコンナイトライド膜とした。

【0015】次の表2は、表1に示した1~4の各リン
ジル毎にチップレッショナルズムニアーブを測定した結果を
示すもので、各サンプル毎の係数の単位は、mV/4.2
cycleである。

【0016】

【表2】

トランジスタ	リンジル			
	1	2	3	4
図3	85.6	86.0	86.3	86.7
図4	85.7	81.7	85.5	85.8

リズレッショナルズニアーブの変化量を△D1-tとすると、△Sは△D1-tに比
例する(△S=△D1-t)。表1, 2によれば、図4の
構成を有するサンプル2, 3が他のサンプルに比べて界
面単位の低減が十分でないことがわかる。また、配線材
層1-9の最下層としてのTi層を20nmから40nm
に厚くしたサンプル3では、界面単位の低減度が一層不
十分であることもわかる。

【0017】この発明の目的は、配線材層でゲート電極
層を覆うことによりホットキャリヤ腐食劣化を防止する
ようにした半導体装置において、界面単位を十分に低減
することにある。

【0018】

【課題を解決するための手段】この発明に係る半導体装
置は、基板と、この基板の表面に形成されたMOS型ト
ランジスタと、このMOS型トランジスタを覆って前記
基板の表面に形成された第1の層間絶縁膜と、この第1
の層間絶縁膜の上に前述MOS型トランジスタのゲート電
極層を覆って形成された水分遮蔽防護層の配線材層であ
って、最下層としてチタン層を有するものと、前記第1
の層間絶縁膜の上に前記配線材層を覆って形成され
水分を含有する第2の層間絶縁膜とを備えた半導体装置
であって、前記第1及び第2の層間絶縁膜の接触を確保
した状態で前記第1の層間絶縁膜と前記チタン層との間
に水分遮蔽防護膜を介して配置したことを特徴とするも

のである。

【0019】

【作用】前記の表1, 2に上れば、WSL/AI合金/
WSL構造を採用したサンプル4では、図3又は図4の
いずれのトランジスタでも界面単位が低減されている。
また、絶縁膜1-8に含まれる水分が多い構造(SOGの
ノンエッチバック構造)のサンプル1では、配線材層1-
9の最下層としてTi層を用いているにもかかわらず、
図3又は図4のいずれのトランジスタでも、界面単位が
低減されている。つまり、絶縁膜1-8に含まれる水分が
少ない構造(SOGのエッチバック構造)のリンジル
2, 3において、配線材層1-9の最下層としてTi層を
用いた場合に界面単位が十分に低減されない。

【0020】ところで、界面単位は、Si/SiO₂界面の三価Si(Si=Si⁺)であり、最終アーチル時
の水素がこの三価Si⁺を(Si=Si-OH)⁺のように終端して界面単位を低減するといわれている。しかし、
発明者の実験によると、最終アーチルを窒素雰囲気中で
行なっても界面単位が低減された。そこで、発明者は、
絶縁膜1-8中の水分関連種(H₂O, OH⁻, H⁺)が
最終アーチル中にSi/SiO₂界面にまで拡散し、三
価Si⁺を(Si=Si-OH, Si=Si-OH)⁺のよう
に終端するものと考えている。

【0021】トランジスタ面上に水分関連種(H₂O,
OH⁻, H⁺)を投設してしまうTi層がある場合、こ

BEST AVAILABLE COPY

(4)

時間平8-222633

のトランジスタの近傍の水分関連遮断膜が低下して界面準位が低減されない（サンプル2、3）。また、下の量が多いほど界面準位の低減が一分ではない（サンプル3）。一方、絶縁膜1-8中に水分が十分にあれば、その水分の一割がT-1層に吸収されても、十分な水分関連遮断膜が確保されるので、界面準位が低減される（サンプル1）。また、水分関連性を吸収しない層がトランジスタ直上にあれば、水分関連性濃度が低下しないので、界面準位が低減される（サンプル4）。

【0022】この発明の構成によれば、第1及び第2の層間絶縁膜の接触を確保した状態で第1の層間絶縁膜とT-1層との間に水分関連遮断膜を介在配置したので、第2の層間絶縁膜から第1の層間絶縁膜、水分関連性の拡散が許容されると大に遮断膜がT-1層による水分関連性の吸収を阻止する。従って、ゲート電極層の近傍では、水分関連性の濃度が低下せず、最終アーチールでは、一分に界面準位を低減することが可能である。

【0023】

【実施例】図1、2は、この発明の一実施例に係るMOS型LSIの一部を示すもので、図1は、図2のX-X'線に沿う断面に相当する。

【0024】例えばシリコンからなる半導体基板1-0の表面には、周知の延伸酸化処理によりアシチップ領域配置孔1-2Aを有するフロート絶縁膜1-2を形成する。そして、配置孔1-2A内の半導体表面部分には、前述した同様にゲート絶縁膜X、帯不純物濃度のN型のソース領域S及びドレイン領域D、ゲート電極層G、サイドストップS-P、帯不純物濃度のP型のソース領域及びドレイン領域D等を形成する。一例として、ゲート長は0.5μmとした。

【0025】次に、基板上面には、上記のようにして形成されたMOS型トランジスタを覆って第1の層間絶縁膜1-4を形成する。絶縁膜1-4としては、厚さ7.50nmのBPSG膜をCVD法により形成した。この後、BPSG膜を被密化するために350°Cで熱処理を行なった。

【0026】次に、水分関連遮断膜1-5として、厚さ10nmのシリコンオキサイド膜をプラズマCVD法により形成した。この場合、プラズマCVD法の代りに、シリコンの反応性スパッタ法を用いてもよい。また、シリコンオキサイド膜の膜厚は、後述のドライエッティング工程で選択的に除去することを考慮すると、50nm以下が好ましい。

【0027】次に、ソース領域及びドレイン領域間にそれぞれ対応する接続孔を絶縁膜1-4及び遮断膜1-5の間に形成した後、基板上面に配線材を接着し、その被覆層をホットキャリア化処理によりバーニング（）することによりソース配線層1-6、ドレイン配線層1-7及び配線材層1-9を形成する。配線材層1-9は、図2に示すようにゲート電極層Gを覆うよう

バターンで形成する。図2の例では、配線材層1-9を配線層1-6、1-7から分離して形成したが、所望により配線材層1-9を配線層1-6は：このいずれかに連続して形成してもよい。配線層1-6、1-7は、それぞれソースコンタクト部S-C、ドレンコンタクト部D-Cにてソース配線S、ドレイン配線Dに接続される。図示しないゲート配線層は、ゲートコンタクト部G-Cにてゲート電極層Gと接続される。

【0028】図1、1-7、1-9は、一例として図5の構成においてT-1層図1-8をT-1のN層に置換したものを使い、厚さは、T-1N/A-1-S-1-C4/T-1O-N/T-1-4.0/4.90/1.0/2.0nmとした。T-1O-N層の代りにT-1N層を用いてもよい。ドライエッティングは、一例としてガス流量C1-1/B/C1-1-3.0/3.0sccm、王水1:9:1:1の条件で行なった。そして、配線材のエッチングに脱くオーバーエッチングにより遮断膜1-5を層削りして、T-1層に対するバーニングで選択的に除去した。これは、後述の第2の層間絶縁膜1-8が絶縁膜1-4に接触するのを可能にするためである。

【0029】次に、基板上面に第2の層間絶縁膜1-8を形成する。絶縁膜1-8としては、一例として厚さ5.0μmのシリコンオキサイド膜をTEOSによるプラズマCVD法により形成した後、その上に厚さ5.0μmのSOG膜2-2を露光塗布法等により形成し、さらにその上に厚さ5.00nmのシリコンオキサイド膜2-4をTEOSによるプラズマCVD法により形成した。この場合、シリコンオキサイド膜2-4の形成前に30G膜2-2を表面から5.00nmの厚さだけエッヂバックして除去し、その上にシリコンオキサイド膜2-4を形成してもよい。この結果得られる遮断膜1-8は、SOG膜2-2をエッヂバックしないものに比べて少量であるが、水分を含んでいる。

【0030】次に、遮断膜1-8に所望の接続孔を形成してから絶縁膜1-8上に2層目の配線層2-5を形成する。そして、遮断膜1-8の上には、配線層2-6を覆って保護膜2-8を形成する。保護膜2-8としては、一例として厚さ1.000nmのシリコンオキサイド膜をプラズマCVD法により形成した。

【0031】この後、最終アーチール処理を行なう。この処理は、一例としてN₂及びH₂を含む窒素気中で400°C、30分の条件で行なった。この結果、図1のトランジスタにおいて、界面準位が十分に低減された。

【0032】上記した実施例によれば、絶縁膜1-8からゲート電極層Gへの水分拡散が配線材層1-9で阻止されるため、ホットキャリア化処理を防止することができる。また、配線材層1-9の最上層としてのT-1層と遮断膜1-4との間に遮断膜1-5を介在配置したので、T-1層に水分関連性が吸収されるのを防ぐことができ、界面準位を十分に低減することができる。

BEST AVAILABLE CURE

(5)

待開平8-222633

〔0033〕この発明は、上記実施例に限定されるものではなく、種々の改变形態で実施可能なものである。例えば、遮蔽膜15としては、シリコンナノパーティクルの絶縁膜に限らず、Hf、HfO₂等、高融点金属（例えばW）又は高融点金属シリサイド（例えばWS₃）等の導電膜を用いてもよい。遮蔽膜は、エッキング埃りが生じて導電膜のように配線間ショート等を招かないことで、導電膜より使いやすい利点がある。

{100311}

【逸聞の幼年】以上のように、この黎明期においては、MOSFET型トランジスタのボットモードで耐圧劣化を防止すると共に界面電位の低減を目標としたので、新規格のMOSFET型LSIを実現可能となる効果が得られるものであ
る。

(図面の両端を説明)

【図1】この発明の一実施例に係る下導体装置を示す当板断面図である。

〔図2〕 図1の装置における配線配置を示す立面図である。

[図3] 様本の半導体特性的1例を示す基板断面図である。

【図4】 従来の半導体装置の他の例を示す平板断面図である。

[図5] 従業の配筋図の一例を示す断面図である。

【符号の説明】

10: 単子不整枝、12, 14, 18: 絶縁枝、15: 水分関連種述散枝、16, 17, 25: 配株冠、19: 配株石垣、23: 保護被覆、3, 4: ベンチ、D: ベンチ領域、G: ゲート運搬圏、

卷之三

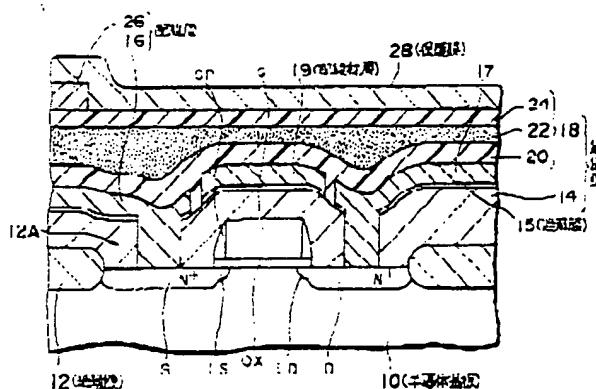
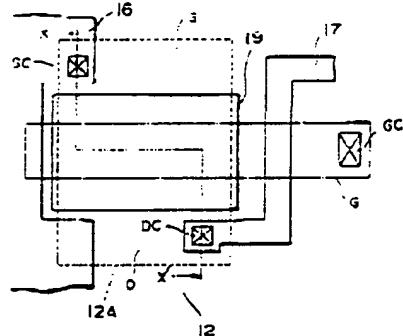
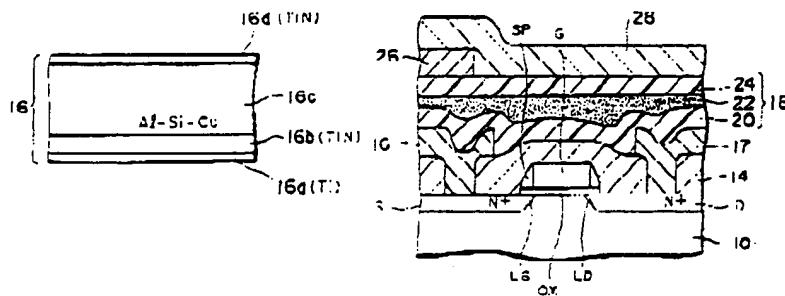


圖 2-1



לט

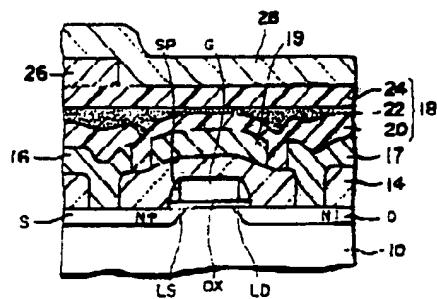


[१३]

(6)

特许平3-2226333

【図4】



BEST AVAILABLE COPY

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.